

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093093

(43)Date of publication of application : 10.04.1998

(51)Int.CI.

H01L 29/786

(21)Application number : 08-246289

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.09.1996

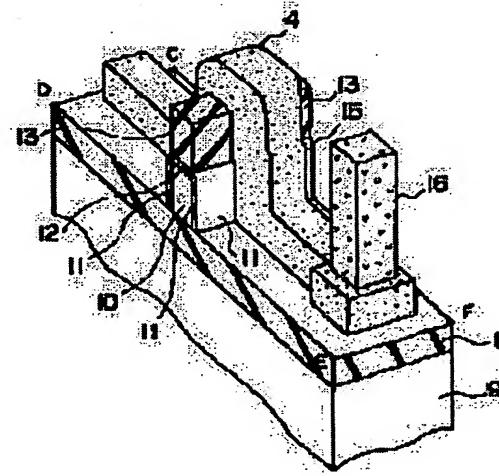
(72)Inventor : YAGISHITA JUNJI
USHIKU YUKIHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable solving problems of gate material which remains behind and the deterioration of an element characteristic by forming a pair of source/ drain regions being opposed through a gate electrode respectively, on the surface of each side surface of a semiconductor layer.

SOLUTION: It becomes possible to prevent effectively a semiconductor layer 12 from being etched, if a protective insulating film 13 is provided on the whole top surface of the semiconductor layer 12, for example, even if long-time etching with an extent of not leaving a gate material behind to be a possible cause for an interwiring short-circuit in the lower part of the semiconductor layer 12 is performed, in an etching process at the forming of a gate electrode 4. Accordingly, the removal of the gate material in the lower part of the semiconductor layer is made possible, without etching the semiconductor layer 12 in the source/drain region. Further, on this occasion exposure of the upper part corner sections of the semiconductor layer is reduced, so it becomes possible to prevent the deterioration of the gate withstand voltage and the element characteristics, such as a sub-threshold characteristic.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 03.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3607431

[Date of registration] 15.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93093

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.*

H 01 L 29/78

識別記号

F I

H 01 L 29/78

6 2 6 Z

6 2 0

審査請求 未請求 請求項の数7 OL (全13頁)

(21)出願番号 特願平8-246289

(22)出願日 平成8年(1996)9月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 八木下 淳史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 牛久 幸広

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

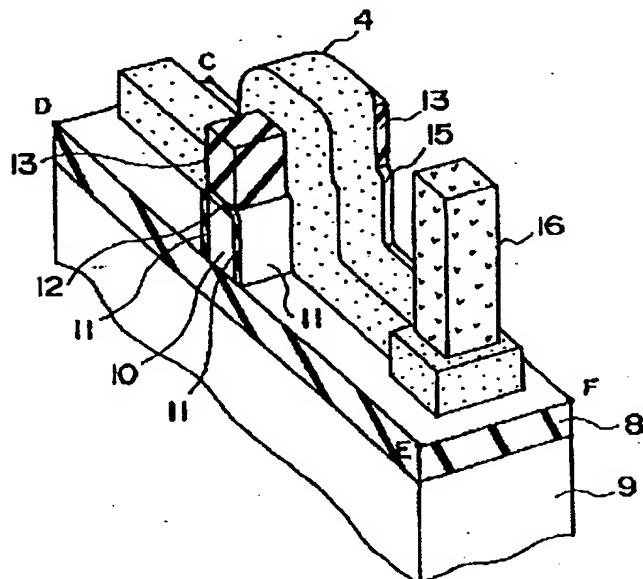
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】S O I 基板上に、ゲート材料の残留問題や、素子特性の劣化問題を解決できる、半導体層の側面にM O Sゲート構造が形成されたM O S F E Tを実現すること。

【解決手段】埋込み酸化膜8上に形成された島状のシリコン層10と、このシリコン層10の側面に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極4とからなるM O Sゲート構造を有し、シリコン層10とゲート電極10との間に窒化シリコン膜13などの絶縁膜が挿設されている。



【特許請求の範囲】

【請求項1】絶縁層上に形成された凸状の半導体層と、この半導体層の上面に形成された被覆絶縁膜と、前記半導体層の一つの側面から、前記被覆絶縁膜、前記側面に対向する前記半導体層の他の側面に跨がって形成されたゲート電極と、前記ゲート電極と前記各側面との間にそれぞれ設けられたゲート絶縁膜と、前記各側面の表面にそれぞれ形成され、前記ゲート電極を介して対向する1対のソース・ドレイン領域とを具備してなることを特徴とする半導体装置。

【請求項2】前記被覆絶縁膜は、前記ゲート電極の下部にあり、前記ソース・ドレイン領域が形成された側面で挟まれた領域の前記半導体層の上面に存在しないことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記被覆絶縁膜は、前記ゲート電極よりもエッチング速度が遅いもの、前記ゲート絶縁膜よりも厚いもの、または前記ゲート電極よりもエッチング速度が遅くかつ前記ゲート絶縁膜よりも厚いものであることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記ゲート絶縁膜が設けられた部分の前記側面は(100)面であることを特徴とする請求項1に記載の半導体装置。

【請求項5】前記半導体層の厚さは、前記対向する二つの側面間の距離よりも大きいことを特徴とする請求項1に記載の半導体装置。

【請求項6】下地が絶縁層である半導体層の全面に被覆絶縁膜を形成する工程と、前記被覆絶縁膜と前記半導体層との積層膜を相対する二つの側面を有するように凸状にパターニングする工程と、

前記各側面にそれぞれゲート絶縁膜を形成する工程と、全面に導電膜を形成した後、前記被覆絶縁膜を前記半導体層のエッチング保護膜に用いて、前記導電膜をエッチングして前記ゲート絶縁膜に隣接してゲート電極を形成する工程と、

前記各側面にそれぞれ前記ゲート電極を介して対向する1対のソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記ソース・ドレイン領域が形成された側面間の前記半導体層上の前記被覆絶縁膜を除去して、前記被覆絶縁膜を前記ゲート電極の下部に選択的に残置させることを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型トランジスタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要

部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上は、集積度を高めること、つまり、素子の微細化により実現できる。このような導体装置の高集積化、素子の微細化に伴い、近年、素子間分離領域の面積の微細化も必要となってきている。

【0004】従来より用いられてきた素子分離方法の一つとしてLOCOS法(選択酸化法)があるが、この方法は、バーズピークと呼ばれる寸法変換差が生じてしまうことと、分離幅の狭いところで分離用酸化膜が薄くなってしまうこと(フィールドシンニング効果)のため、素子分離領域の微細化に向かない。

【0005】他の素子分離方法として代表的なものにトレンチ分離法がある。この方法では、通常、半導体層に溝を形成して、この溝に絶縁物を埋め込むことによって素子分離を実現する。

【0006】また、SOI(Silicon On Insulator)基板を用いれば、埋込み酸化膜82に達するトレンチ溝を形成するだけで、絶縁物を埋め込まずに素子分離を行なうこともできる(メサ型素子分離)。これらトレンチ分離法を用いれば、変換差が小さく、微細化に適した素子分離を実現できる。

【0007】図22に、従来のSOI基板に形成され、トレンチ分離されたMOSFETのチャネル幅方向に平行な断面図を示す。支持基板81上には埋込み酸化膜82を介して凸型島状のシリコン層83が形成されている。この凸型島状のシリコン層83にMOSゲート構造が形成されている。

【0008】ここで、シリコン層83は、SOI層上に酸化膜からなるエッチングマスクを形成した後、上記SOI層をRIE(リアクティブ・イオン・エッチング)により異方性エッチングして形成したものである。

【0009】ゲート絶縁膜86は、上記エッチングマスクやエッチング副生成物を除去した後に形成される。この除去は、通常、HF(フッ酸)系のウェットエッチングにより行なう。このとき、埋込み酸化膜82もエッチングされ、シリコン層83の下部に窪み87が形成され、シリコン層83の下部にコーナー部分85が露出する。また、シリコン層83の上部にもコーナー部分85が露出する。

【0010】この結果、コーナー部分85のゲート絶縁膜84で電界が集中し、ゲート耐圧が劣化したり、サブスレショルド特性の劣化(寄生トランジスタ)等の問題が生じる。

【0011】コーナー部85を酸化して丸めたり、コーナー部85を絶縁物で覆い隠したりする提案はいくつも

なされているが、工程が複雑になる等の問題がある。また、ゲート電極94の形成工程で、窪み97にゲート材料が残留する。このような残留ゲート材料は、素子分離幅が狭くなると配線間ショートの原因となる。

【0012】一方、凸型島状のシリコン層のコーナー部や側面部の寄生トランジスタを積極的に使う提案もある（例えば、K. Hieda, et al "Effects of New Trench-isolated Transistor Using Side wall Gates", IEEE Trans. Electron Devices, vol. 36, p. 1615, (1959)）。

【0013】これは、図23に示すように、凸部島状のシリコン層93のコーナー部99や側面部98にもMOSゲート構造を形成し、シリコン層93を完全空乏化することにより、全体として基板バイアス効果の小さいトランジスタを実現するというものである。

【0014】なお、ここでのシリコン層93はSOI層をエッチングして形成したものではなく、シリコン基板91にトレンチ溝を掘って形成したものである。このトレンチ溝にはトレンチ分離のために素子分離用絶縁膜92が埋め込まれている。

【0015】しかしながら、この種のMOSFETには以下のような問題があった。すなわち、側面部98のトランジスタを大きくしようとしてトレンチ溝を深くすると、シリコン層93の下部側壁にゲート材料95が残留する。このような残留したゲート材料95は、配線間ショートの原因となる。

【0016】また、ゲート電極94となる導電膜のエッチング時間を長くして、シリコン層93の下部にゲート材料95が残留するのを防止しようとすると、ソース・ドレイン領域のシリコン層93上のゲート絶縁膜96が除去され、ソース・ドレイン領域のシリコン層93がエッチングされて消滅する恐れがある。

【0017】また、コーナー部99のゲート耐圧確保には、コーナー部99を酸化して丸める等の工夫が必要で、工程が複雑になる等の問題が生じる。また、丸めることにより寸法変換差の増大が避けられないという問題もある。

【0018】

【発明が解決しようとする課題】上述の如く、凸部島状のシリコン層の側面にMOSゲート構造が形成されたMOSFETは、ゲート電極の形成工程で、シリコン層の下部に配線間ショートの原因となるゲート材料が残留するという問題があった。これを解決するために、シリコン層の下部にゲート材料が残留しないように長時間エッチングを行なう方法があるが、これにはソース・ドレイン領域のシリコン層がエッチングされ消滅する可能性があるという問題があった。

【0019】また露出したコーナー部分にゲート絶縁膜が形成されるため、ゲート耐圧の劣化やサブスレション特性の劣化が起り、素子性能が劣化するという問題があった。これを解決するために、コーナー部のゲート

絶縁膜を酸化して丸める方法があるが、これには工程が複雑になる等の問題があった。

【0020】本発明は、上記事情を考慮してなされたもので、その目的とするところは、上記ゲート材料の残留問題や、上記素子特性の劣化問題の解決が可能となる半導体層の側面にMOSゲート構造が形成されたMOSFETを備えた半導体装置およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】

【概要】上記目的を達成するために、本発明に係る半導体装置（請求項1）は、絶縁層上に選択的に形成された半導体層と、この半導体層の上面に形成された被覆絶縁膜と、前記半導体層の一つの側面から、前記被覆絶縁膜、前記側面に對向する前記半導体層の他の側面に跨がって形成されたゲート電極と、前記ゲート電極と前記各側面との間にそれぞれ設けられたゲート絶縁膜と、前記各側面の表面にそれぞれ形成され、前記ゲート電極を介して對向する1対のソース・ドレイン領域とを備えたことを特徴とする。

【0022】また、本発明に係る他の半導体装置（請求項2）は、上記半導体装置（請求項1）において、前記被覆絶縁膜が、前記ゲート電極の下部にあり、前記ソース・ドレイン領域が形成された側面で挟まれた領域の前記半導体層の上面に存在しないことを特徴とする。

【0023】また、本発明に係る他の半導体装置（請求項3）は、上記半導体装置（請求項1）において、前記被覆絶縁膜が、前記ゲート電極よりもエッチング速度が遅いもの、前記ゲート絶縁膜よりも厚いもの、または前記ゲート電極よりもエッチング速度が遅くかつ前記ゲート絶縁膜よりも厚いものであることを特徴とする。

【0024】また、本発明に係る他の半導体装置（請求項4）は、上記半導体装置（請求項1）において、前記ゲート絶縁膜が設けられた部分の前記側面が（100）面であることを特徴とする。

【0025】また、本発明に係る他の半導体装置（請求項5）は、上記半導体装置（請求項1）において、前記半導体層の厚さが、前記対向する二つの側面間の距離よりも大きいことを特徴とする。

【0026】本発明に係る半導体装置の製造方法（請求項6）は、下地が絶縁層である半導体層の全面に被覆絶縁膜を形成する工程と、前記被覆絶縁膜と前記半導体層との積層膜を相対する二つの側面を有する凸状にバーニングする工程と、前記各側面にそれぞれゲート絶縁膜を形成する工程と、全面に導電膜を形成した後、前記被覆絶縁膜を前記半導体層のエッチング保護膜に用いて、前記導電膜をエッチングして前記ゲート絶縁膜に隣接してゲート電極を形成する工程と、前記各側面にそれぞれ前記ゲート電極を介して対向する1対のソース・ドレイン領域を形成する工程とを有することを特徴とする。

【0027】また、本発明に係る他の半導体装置の製造方法（請求項7）は、上記半導体装置の製造方法（請求項5）において、前記半導体層として絶縁膜上に形成された半導体層を用い、この半導体層に前記絶縁膜に達するトレンチ溝を形成するか、または前記半導体層として半導体基板を用い、この半導体層の表面にトレンチ溝を形成し、このトレンチ溝内に絶縁膜を埋め込むことにより素子分離を行なうことを特徴とする。

【0028】本発明においては、被覆絶縁膜はゲート絶縁膜よりも誘電率が小さいことが好ましい。

【作用】本発明によれば、例えば、半導体層の上面全面に保護絶縁膜を設ければ、ゲート電極を形成する際のエッティング工程で、上記半導体層の下部に配線間ショートの原因となるゲート材料が残らない程度の長時間エッティングしても、上記半導体層がエッティングされるのを効果的に防止できる。したがって、本発明によれば、ソース・ドレイン領域の上記半導体層のエッティングを招かず、上記半導体層の下部のゲート材料を除去できるようになる。

【0029】また、この場合、上記半導体層の上部のコーナー部分の露出が減るので、ゲート耐圧の劣化やサブスレショルド特性等の素子特性の劣化を防止できるようになる。

【0030】また、本発明（請求項4）によれば、側面が（100）面なので、ゲート絶縁膜と側面との界面の界面単位密度を十分に小さくできるようになる。また、本発明では、半導体層の対向する2側面にゲート絶縁膜を介してゲート電極が設けられているため、二つのMOSゲートにより半導体層を挟んだサンドイッチ構造、いわゆるダブルゲートMOSFETが形成されている。

【0031】したがって、本発明（請求項5）のように、半導体層の厚さを、対向する二つの側面間の距離よりも大きくすれば、つまり、半導体層の幅を狭くすれば、半導体層を完全空乏化できるようになるので、トランジスタの性能を向上させることができる。また、二つの側面間の距離を短くすることにより、トランジスタの占有面積を小さくできるようになる。

【0032】なお、微細化を進めることで素子領域の占有面積が減少し、ソース・ドレイン領域とこれに接続する電極とのコンタクト抵抗が上昇する傾向がしばしば受けられるが、本発明の場合、半導体層の高さを大きくしてやることで、コンタクト抵抗の上昇を防止できるようになる。

【0033】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1は本発明の第1の実施形態に係るMOSFETを示す平面図である。また、図2は図1のMOSFETのA-A'断面図、図3は図1のMOSFETのB-B'断面図、図4は図1のMOSFET

のC-D-E-F領域の断面斜視図である。なお、図1において、2はSOI基板、3は素子分離領域、5は素子領域を示している。

【0034】図5～図11は、本実施形態のMOSFETの製造方法を示す断面図である。これらの各図

（a）、図（b）はそれぞれ図1のMOSFETの製造途中におけるA-A'断面図、B-B'断面図である。

【0035】まず、図5に示すように、支持基板9、埋込み酸化膜8およびシリコン層10からなるSOI基板10を用意する。このSOI基板はSIMOX法により形成したものである。なお、SOI基板は貼り合わせ法により形成しても良い。また、SOSのように埋込み酸化膜がないSOI基板を用いても良い。

【0036】次に図6に示すように、熱酸化によって厚さ10nmのバッファ酸化膜12をシリコン層10の表面に形成する。このとき、必要であれば、MOSFETのしきい値電圧を調整するためのイオン注入を行なう。

【0037】なお、図には一つのMOSFETしか示してないが、CMOSのようにn型チャネルMOSFET20、p型チャネルMOSFETを同時に形成する場合であれば、上記イオン注入は、n型チャネルMOSFET、p型チャネルMOSFETそれぞれ別々に行なう。

【0038】その後、同図に示すように、バッファ酸化膜12上に保護絶縁膜（エッティングマスク）として例えば厚さ150nmのシリコン窒化膜13を形成する。保護絶縁膜としては後工程で形成するゲート絶縁膜よりも誘電率の低いものであることが好ましい。

【0039】次に図7に示すように、EB描画やフォトリソグラフィによるパターンニングによりシリコン窒化膜13上にフォトレジストパターン15を形成した後、このフォトレジストパターン15をマスクとして、埋込み酸化膜8の表面が露出するまで、シリコン窒化膜13、バッファ酸化膜12、シリコン層10をRIE法により連続的にエッティングし、シリコン窒化膜13、バッファ酸化膜12、シリコン層10を島状に加工する。

【0040】基本的に、これだけの工程で、素子分離工程は終了であり、非常に工程数が少なく容易で、半導体装置の量産に有利である。しかも、変換差のないトレンチ分離なので、微細化に適している。

【0041】次に図8に示すように、フォトレジストパターン15を除去した後、熱酸化によってシリコン層10の側面に厚さ6nmのゲート絶縁膜11を形成する。次に同図に示すように、ゲート電極4となる厚さ150nmのポリシリコン膜、厚さ100nmのタングステンシリサイド膜（またはタンクステン膜）をそれぞれLPCVD法とスパッタ法で積層形成する。

【0042】上記ポリシリコン膜には成膜後にイオン注入により不純物をドーピングしておく。なお、ポリシリコン膜の代わりにTiN膜などの金属膜を用いた場合には、前記（同ページで述べた）しきい値電圧調整用のイ

オン注入は不要である。

【0043】この図8の工程では、シリコン窒化膜13、バッファ酸化膜12を除去せずに残るので、ゲート絶縁膜11の形成直前に、シリコン窒化膜13、バッファ酸化膜12を除去するためのCDE（ケミカル・ドライ・エッティング）やHF系溶液によるエッティング処理は行なわれない。

【0044】したがって、図22に示したような窪み87は形成され難く、シリコン層10（素子領域）のエッジ部の上下コーナー部分は露出しない。これにより、ゲート絶縁膜11の耐圧が向上し、サブスレショルド特性のハンプは抑えられる構造になる。

【0045】また、シリコンの結晶面方位を調節して、島状のシリコン層10の側面の少なくとも一部に(100)面が露出するようにすると、シリコン層10の側面に界面準位が少ないゲート絶縁膜11を形成できるようになる。

【0046】次に図9に示すように、EB描画やフォトリソグラフィーによるパターンニングによりフォトレジストパターン（不図示）をマスクとしてとRIE法により上記ポリシリコン膜およびタングステンシリサイド膜（またはタングステン膜）の積層膜をエッティングして、ゲート電極4を形成する。この後、上記フォトレジストパターンを除去し、ゲート電極4の表面を軽く酸化して薄い(5nm程度)酸化膜（不図示）を形成する。

【0047】ここで、ゲート電極4となる上記積層膜の下には、埋込み酸化膜8または保護絶縁膜（エッティングマスク）のシリコン窒化膜13が存在する。したがって、シリコン層10の下部側面にゲート材料が残留しないように、上記積層膜を長時間エッティングしても、ソース・ドレイン領域のシリコン層10がエッティングされることはない。

【0048】また、ゲート材料の残留をさらに完全に防ぐには、トレンチ角度にわずかなテーパー（鉛直面に対して7度以下。深いところでトレンチの幅が狭くなる方向）を与えることが有効である。

【0049】次に図10に示すように、ソース・ドレイン拡散層を形成するために、不純物イオン14を斜めにイオン注入した後、アニールを行なう。ここで、n型チャネルMOSFETの場合であればAs、p型チャネルMOSFETの場合であればBF₂を $1 \times 10^{15}/\text{cm}^2$ 程度のドーズ量でイオン注入する。

【0050】次に図11に示すように、全面に層間絶縁膜7を形成する。この後、通常のMOSFETの製造工程に従う。すなわち、図1～図4に示すようにゲート、ソース・ドレインの各領域にコンタクトホール1G、1SDを開孔し、ゲート電極4、2つのソース・ドレイン拡散層にそれぞれ接続する引出し配線16、17、18を形成する。

【0051】なお、微細化を進めることで素子領域の占

有面積が減少しても、シリコン層10の厚さを大きくすることで（トレンチ溝の深さを大きくすることで）、一方のソース・ドレイン層と引出し配線17とのコンタクト部分の寄生抵抗および他方のソース・ドレイン層と引出し配線18とのコンタクト部分の寄生抵抗を低減でき、コンタクト抵抗の上昇を防止できるようになる。

【0052】なお、図4において引出し配線17、18は省略されている。この引出し配線17、18は、シリコン層10の側面でもコンタクトをとることができるので、コンタクト面積が増える。

【0053】また、本実施形態では、半導体層10の対向する2側面にゲート絶縁膜11を介してゲート電極4が設けられているため、二つのMOSゲートにより半導体層3を挟んだサンドイッチ構造、いわゆるダブルゲートMOSFETが形成されている。

【0054】したがって、半導体層10の厚さdを、対向する二つの側面間の距離よりも大きくすれば、つまり、半導体層10の幅wを狭くすれば（例えば40nm程度）、半導体層10を完全空乏化できるようになるので、トランジスタの性能を向上させることができる。また、二つの側面間の距離を短くすることにより、トランジスタの占有面積を小さくできるようになる。

（第2の実施形態）本実施形態のMOSFETの特徴は、第1の実施形態のMOSFETにおいて、ソース・ドレイン拡散層が形成された側面間のシリコン層10上の保護絶縁膜としてのシリコン窒化膜13を除去した構成になっていることになる。

【0055】このような構成のMOSFETは、例えば、図9の工程でゲートを加工した後、ソース・ドレイン拡散層が形成される側面間のシリコン層10上のシリコン窒化膜13をRIE（反応性イオンエッティング）により除去し、図10に示すように、ソース・ドレイン拡散層形成のためのイオン注入を行なう。シリコン窒化膜がないため、半導体層10にイオン注入しやすい。次いで図11に示すように全面に層間絶縁膜7を形成する。この後は、第1の実施形態と同様の通常のMOSFETの製造工程に従う。

（第3の実施形態）図12～図20は、第3の実施形態に係るMOSFETの製造方法を示す断面図である。

平面図は図1のそれに示すものと同じであり、各図(a)、図(b)はそれぞれ図1の平面図のA-A'断面図、B-B'断面図に相当する。

【0056】本実施形態は、SOI基板ではなく通常のシリコン基板を用いた例である。すなわち、本実施形態は、本発明に係る実施形態ではないが、本発明と同様な効果が得られる。

【0057】まず、図12に示すように、シリコン基板21を用意し、次いで熱酸化によって厚さ10nmのバッファ酸化膜22をシリコン基板21の表面に形成する。このとき、必要であれば、MOSFETのしきい値

電圧を調整するためのイオン注入を行なう。

【0058】なお、図には一つのMOSFETしか示していないが、CMOSのようにn型チャネルMOSFET、p型チャネルMOSFETを同時に形成する場合であれば、上記イオン注入は、n型チャネルMOSFET、p型チャネルMOSFETそぞぞれ別々に行なう。

【0059】その後、同図に示すように、バッファ酸化膜22上に保護絶縁膜（エッチングマスク）として例えば厚さ150nmのシリコン窒化膜23を形成する。次に図13に示すように、EB描画やフォトリソグラフィによるパターンニングによりシリコン窒化膜23上にフォトレジストパターン24を形成した後、このフォトレジストパターン24をマスクとして、シリコン窒化膜23、バッファ酸化膜22、シリコン基板21をRIE法により連続的にエッチングし、例えば深さ250nmのトレンチ溝を形成し、シリコン窒化膜23、バッファ酸化膜22、シリコン基板21を島状に加工する。

【0060】次に図14に示すように、フォトレジストパターン24を除去した後、全面に厚さ350nmの酸化膜25を形成した後、図15に示すように、シリコン窒化膜23をストップに用いて、酸化膜25の表面をCMP (chemical mechanical polish) 法により研磨して平坦化する。

【0061】次に図16に示すように、シリコン窒化膜23がエッチングされず、酸化膜25が選択的にエッチングされる条件のもとで、全面をRIE法によりエッチングすることにより、酸化膜25をトレンチ溝の底部に125nmだけ残置させる。

【0062】基本的に、以上の工程で、素子分離工程は終了する。絶縁膜埋め込みトレンチ分離なので、変換差が小さく、微細化に適している。次に図17に示すように、熟酸化によって島状のシリコン基板21の側面に厚さ6nmのゲート絶縁膜26を形成した後、ゲート電極27となる厚さ150nmのポリシリコン膜、厚さ100nmのタングステンシリサイド膜（またはタングステン膜）をそれぞれLPCVD法とスパッタ法で積層形成する。

【0063】上記ポリシリコン膜には成膜後にイオン注入により不純物をドーピングしておく。なお、ポリシリコン膜の代わりにTiN膜などの金属膜を用いた場合には、前ページで述べたしきい値電圧調整用のイオン注入は不要である。

【0064】この図17の工程では、シリコン窒化膜23、バッファ酸化膜22を除去せずに残すので、ゲート絶縁膜26の形成直前に、シリコン窒化膜23、バッファ酸化膜22を除去するためのCDE（ケミカル・ドライ・エッチング）やHF系溶液によるエッチング処理は行なわれない。

【0065】したがって、図22に示したような溝み87は形成され難く、島状のシリコン基板21（素子領

域）のエッジ部の上部コーナー部分は露出しない。これにより、ゲート絶縁膜26の耐圧が向上し、サブスレショルド特性のハングは抑えられる構造になる。

【0066】また、シリコンの結晶面方位を調節して、島状のシリコン基板21の側面の少なくとも一部に(100)面が露出するようにすると、シリコン基板21の側面に界面準位が少ないゲート絶縁膜26を形成できるようになる。

【0067】次に図18に示すように、EB描画やフォトリソグラフィーによるパターンニングによりフォトレジストパターン（不図示）をマスクとしてとRIE法により上記ポリシリコン膜およびタングステンシリサイド膜（またはタングステン膜）の積層膜をエッチングして、ゲート電極27を形成する。この後、上記フォトレジストパターンを除去し、ゲート電極27の表面を軽く酸化して薄い（5nm程度）酸化膜（不図示）を形成する。

【0068】ここで、ゲート電極27となる上記積層膜の下には、酸化膜25または保護絶縁膜（エッチングマスク）のシリコン窒化膜23が存在する。したがって、島状のシリコン基板21の下部側面にゲート材料が残留しないように、上記積層膜を長時間エッチングしても、ソース・ドレイン領域の島状のシリコン基板21がエッチングされることはない。

【0069】また、ゲート材料の残留をさらに完全に防ぐには、トレンチ角度にわずかなテーパー（鉛直面に対して7度以下。深いところでトレンチの幅が狭くなる方向）を与えることが有効である。

【0070】次に図19に示すように、二つのソース・ドレイン拡散層を形成するために、不純物イオン28を斜めにイオン注入した後、アニールを行なう。ここで、n型チャネルMOSFETの場合であればAs、p型チャネルMOSFETの場合であればBF₂を $1 \times 10^{15} / \text{cm}^2$ 程度のドーズ量でイオン注入する。

【0071】次に図20に示すように、全面に層間絶縁膜29を形成した後、通常のMOSFETの製造工程に従って、ゲート、ソース、ドレインの各領域にコンタクトホール30を開孔し、ゲート電極27、二つのソース・ドレイン拡散層にそれぞれ接続する引出し配線31, 32, 33を形成する。

【0072】なお、微細化を進めることで素子領域の占有面積が減少しても、前述したSOI基板に形成した場合と同様に島状のシリコン基板21の厚さを大きくすることで（トレンチ溝の深さを大きくすることで）、ソース・ドレイン層と引出し配線32, 33とのコンタクト部分の寄生抵抗を低減でき、コンタクト抵抗の上昇を防止できるようになる。これは島状シリコンの側面でもコンタクトを取れるようになるからである。

【0073】また、本実施形態では、島状のシリコン基板21の対向する2側面にゲート絶縁膜26を介してゲ

ート電極27が設けられているため、二つのMOSゲートにより島状のシリコン基板21を挟んだサンドイッチ構造、いわゆるダブルゲートMOSFETが形成されている。

【0074】したがって、島状のシリコン基板21の厚さdを、対向する二つの側面間の距離よりも大きくすれば、つまり、島状のシリコン基板21の幅wを例えば40nm程度に狭くすれば、島状のシリコン基板21を完全空乏化できるようになるので、トランジスタの性能を向上させることができる。また、二つの側面間の距離を短くすることにより、トランジスタの占有面積を小さくできるようになる。

【0075】なお、本発明は上述した実施形態に限定されるものではない。例えば、微細化を進めて島状のシリコン層やシリコン基板(素子領域)の幅が狭くなり、ソース・ドレインのコンタクトホールの位置合わせが困難になった場合には、図21に示すように、ソース・ドレインのコンタクトホール1SDの直径D1を素子領域の幅D2よりも大きくすれば、コンタクトホール1SDの位置合わせずれによるコンタクト抵抗の上昇を防止できるようになる。

【0076】また、上記実施形態では、保護絶縁膜としてシリコン窒化膜を用いたが他の絶縁膜を用いても良い。要は、保護絶縁膜として、ゲート電極よりもエッチング速度が遅いもの、ゲート絶縁膜よりも厚いもの、またはゲート電極よりもエッチング速度が遅くかつゲート絶縁膜よりも厚いものを用いることにより、ゲート電極となる導電膜を長時間エッチングする際にソース・ドレイン領域上のシリコン層がエッチングされ消滅されないようにすれば良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0077】

【発明の効果】以上詳述したように本発明によれば、半導体層の側面にMOSゲート構造が形成されたMOSFETを備えた半導体装置において、ゲート材料の残留問題や、素子特性の劣化問題を解決できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わるMOSFETを示す平面図

【図2】図1のMOSFETのA-A'断面図

【図3】図1のMOSFETのB-B'断面図

【図4】図1のMOSFETのC-D-E-F領域の断面斜視図

【図5】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図6】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図7】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図8】本発明の第1の実施形態に係わるMOSFET

を示す断面図

【図9】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図10】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図11】本発明の第1の実施形態に係わるMOSFETを示す断面図

【図12】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図13】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図14】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図15】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図16】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図17】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図18】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図19】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図20】本発明の第3の実施形態に係わるMOSFETの製造方法を示す断面図

【図21】コンタクトホールの位置合わせずれを防止する方法を説明するための平面図

【図22】従来のMOSFETを示す断面図

【図23】従来のMOSFETを示す断面斜視図

30 【符号の説明】

16, 1SD…コンタクトホール

2…SOI基板

3…素子分離領域

4…ゲート電極

5…素子領域

7…層間絶縁膜

8…埋込み酸化膜

9…支持基板

10…シリコン層

40 11…ゲート絶縁膜

12…バッファ酸化膜

13…シリコン窒化膜(保護絶縁膜)

14…不純物イオン

15…フォトレジストパターン

16…引出し配線

17…引出し配線

18…引出し配線

21…シリコン基板

22…バッファ酸化膜

50 23…シリコン窒化膜(保護絶縁膜)

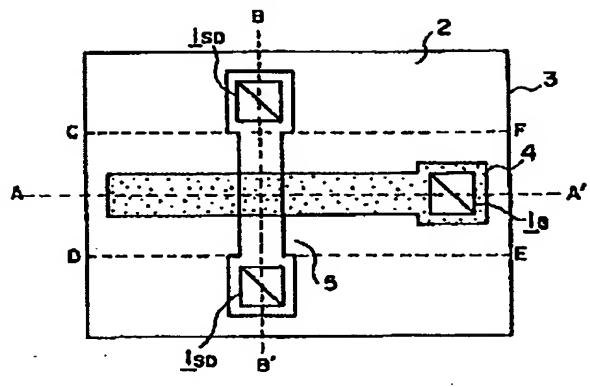
13

24…フォトレジストパターン
 25…酸化膜
 26…ゲート絶縁膜
 27…ゲート電極
 28…不純物イオン

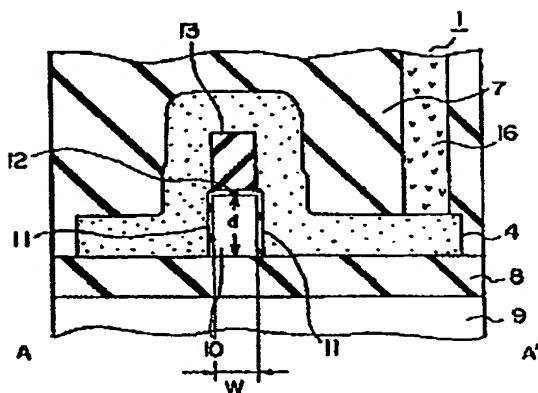
14

- 29 …層間絶縁膜
- 30G, 30SD …コンタクトホール
- 31 …引出し配線
- 32 …引出し配線
- 33 …引出し配線

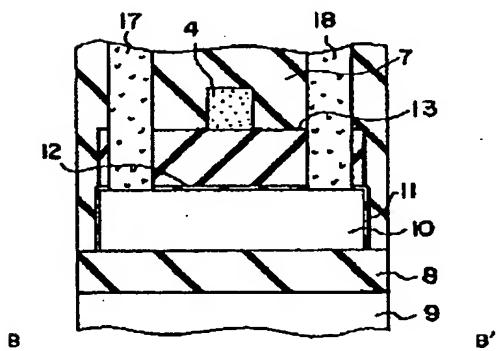
[圖 1]



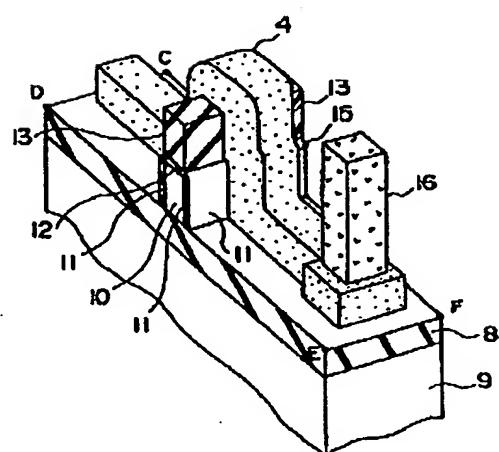
[图2]



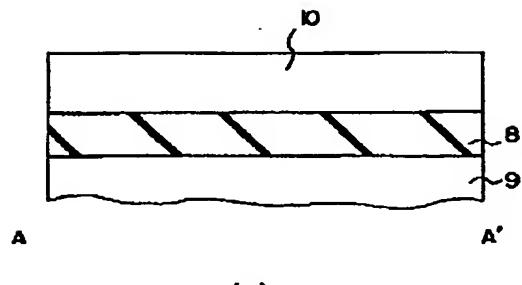
[3]



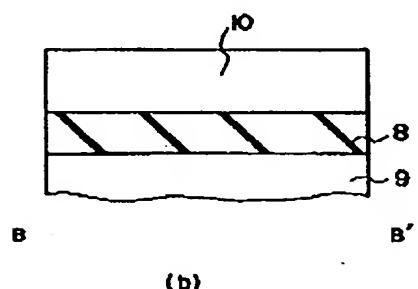
[図4]



【図5】

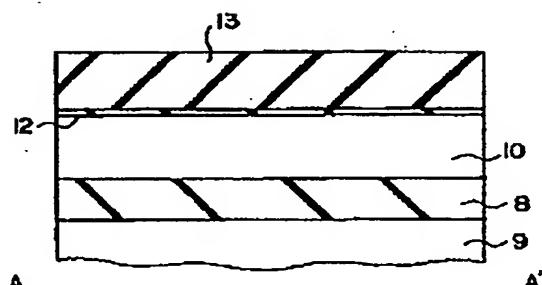


(a)

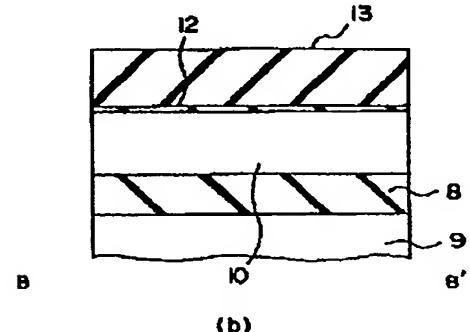


(b)

【図6】

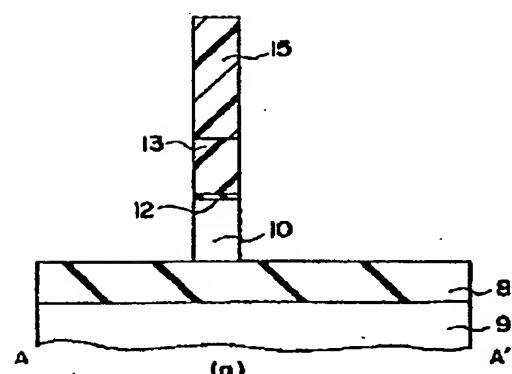


(a)

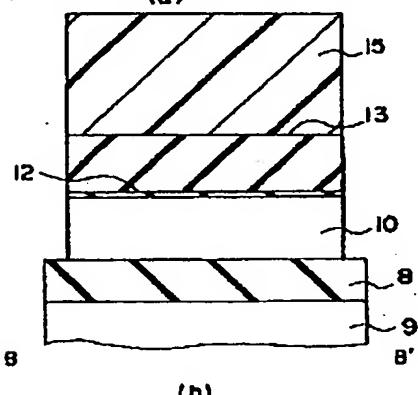


(b)

【図7】

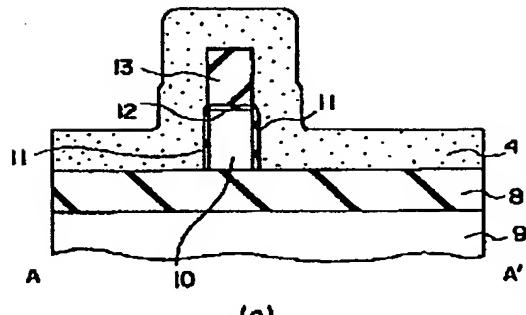


(a)

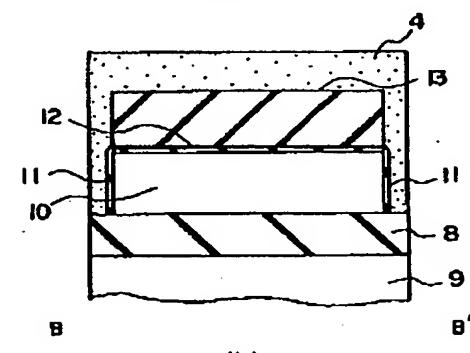


(b)

【図8】

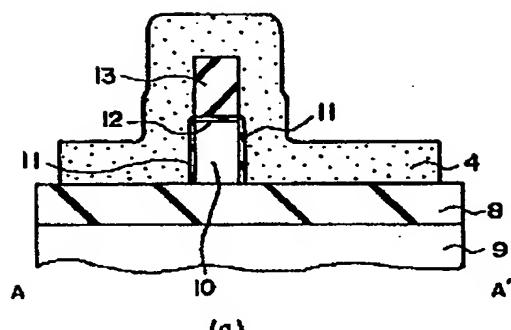


(a)

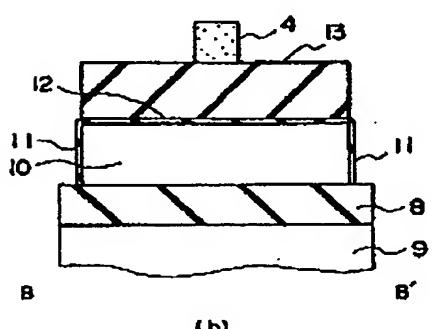


(b)

【図9】

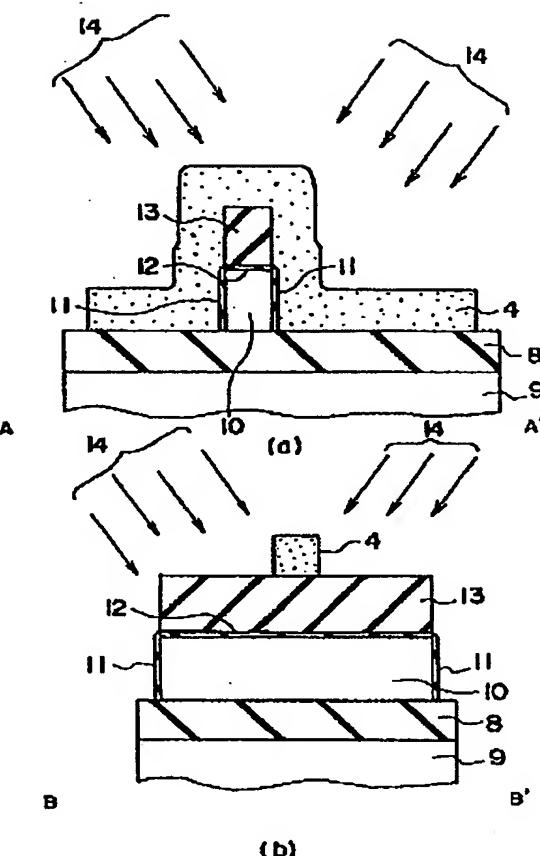


(a)

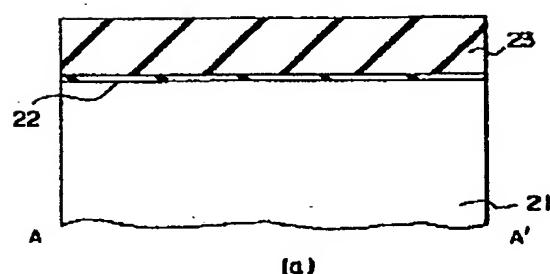


(b)

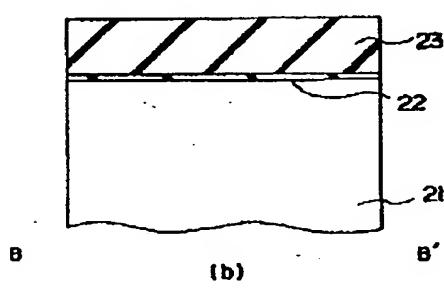
【図10】



【図12】

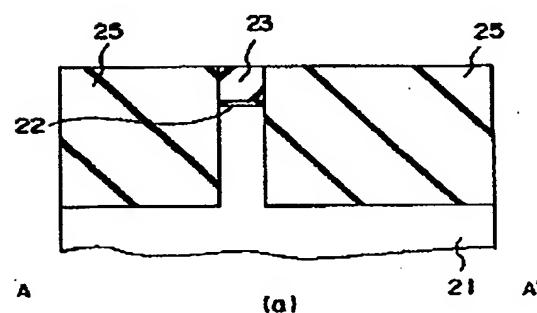


(a)

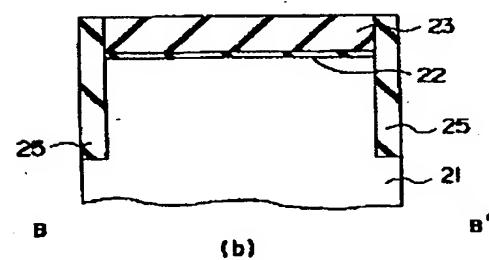


(b)

【図15】

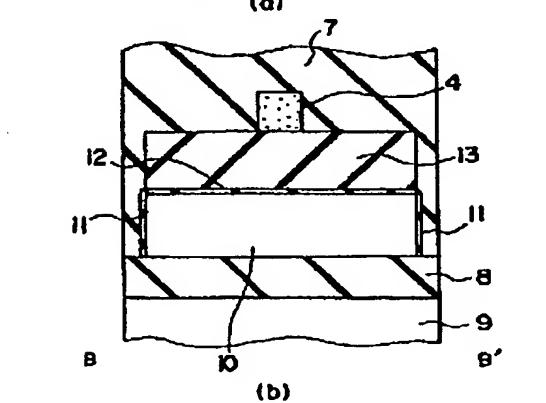
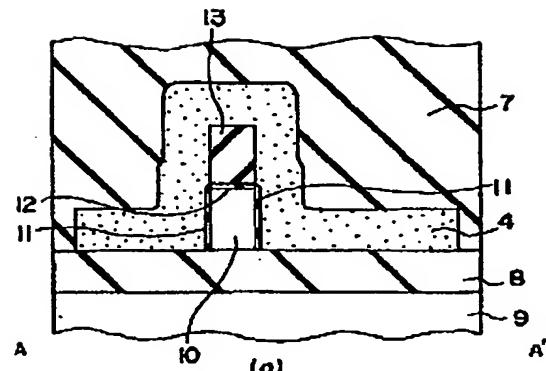


(a)

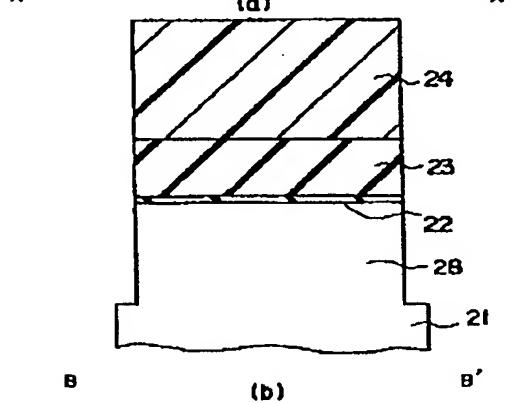
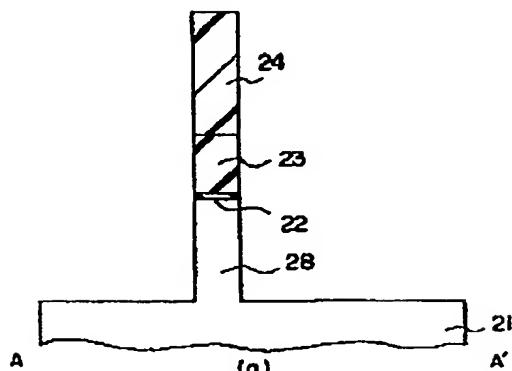


(b)

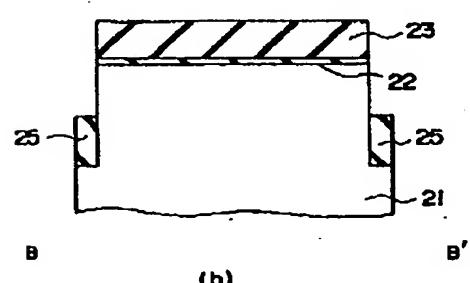
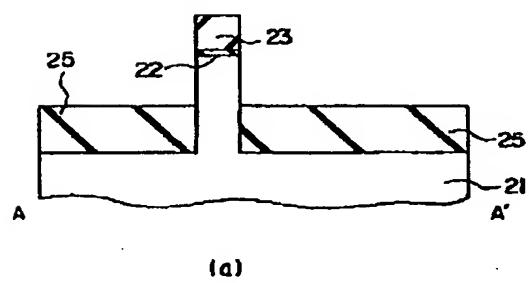
【図11】



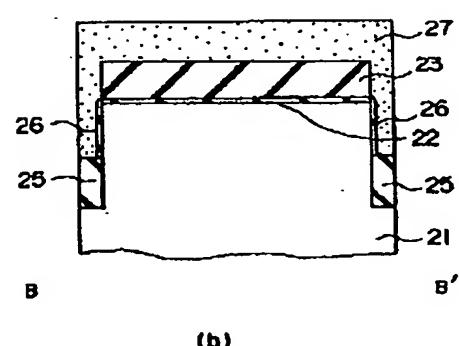
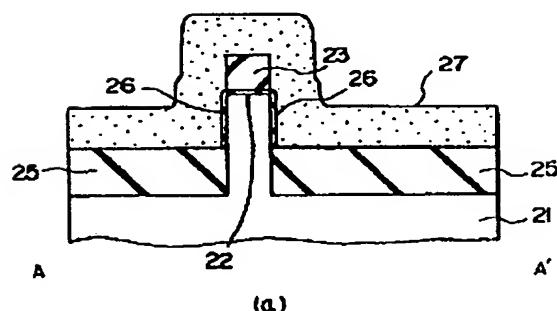
【図13】



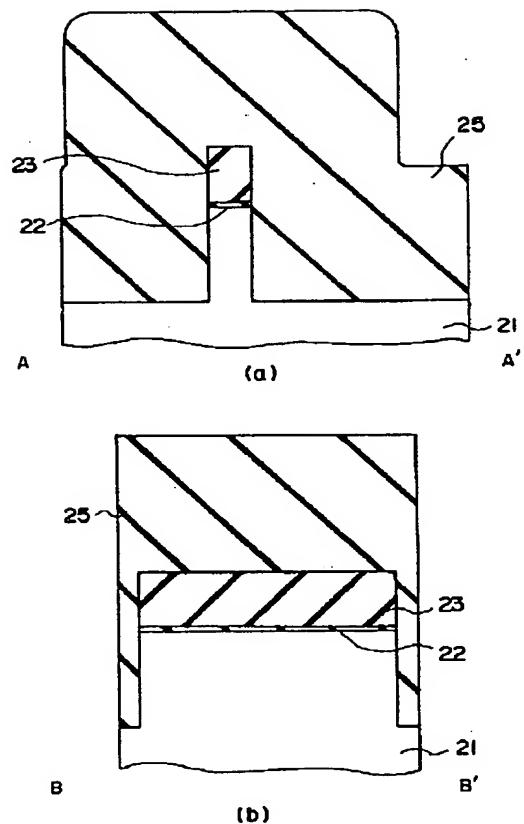
【図16】



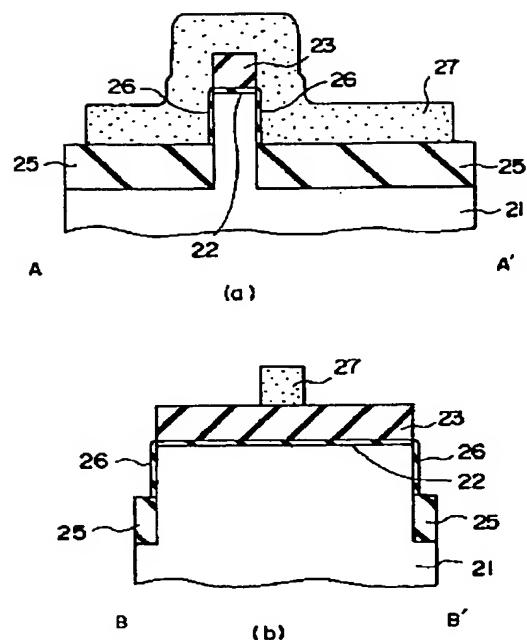
【図17】



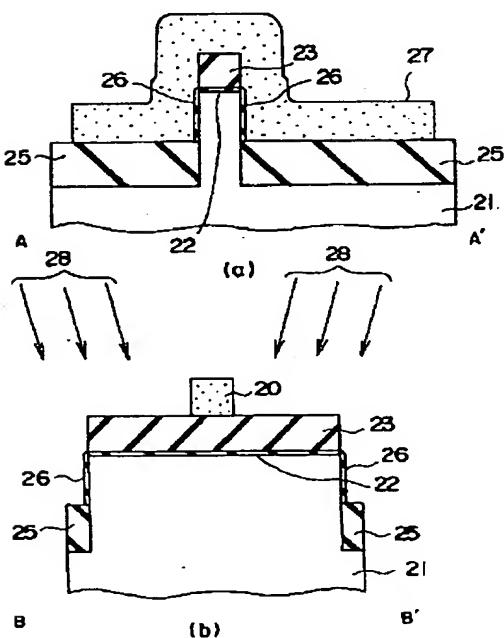
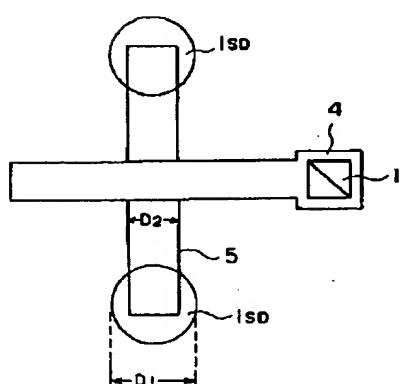
【図14】



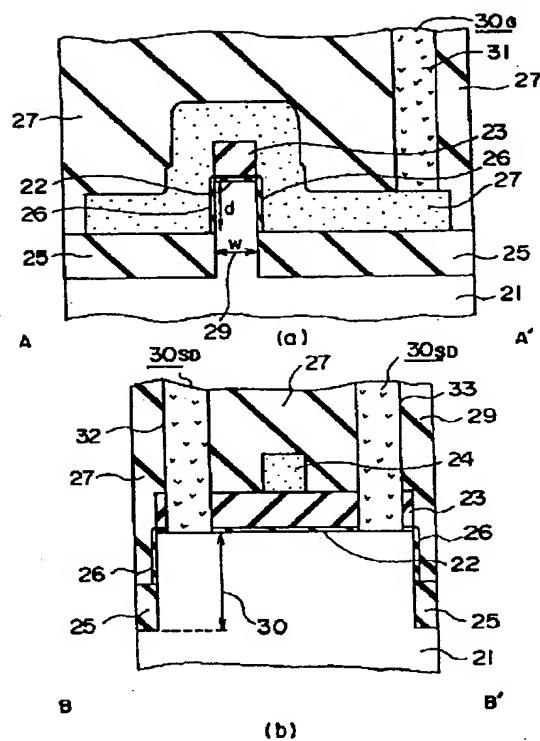
【図18】



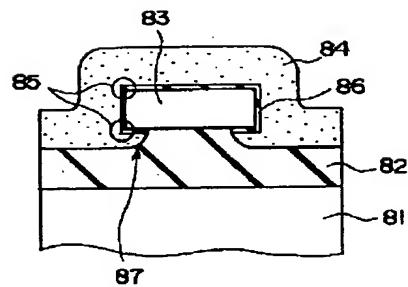
【図21】



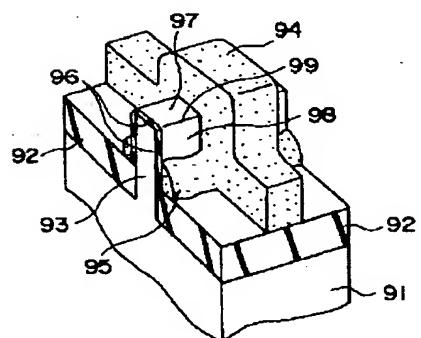
【図20】



【図22】



【図23】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.